

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-78218

(43) 公開日 平成6年 (1994) 3月18日

(51) Int. Cl.⁵

H04N 5/335

識別記号

庁内整理番号

FI

技術表示箇所

E

P

審査請求 未請求 請求項の数6 (全 8 頁)

(21) 出願番号

特願平4-247205

(22) 出願日

平成4年 (1992) 8月25日

(71) 出願人 000000376

オリンパス光学工業株式会社

東京都渋谷区幡ヶ谷2丁目43番2号

(72) 発明者 高柳 功

東京都渋谷区幡ヶ谷2丁目43番2号 オリン

パス光学工業株式会社内

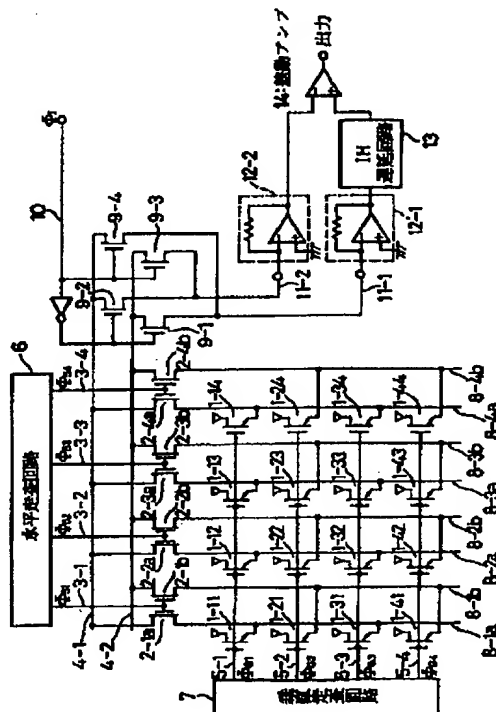
(74) 代理人 弁理士 最上 健治

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【目的】 フレームメモリーを用いず且つチップ面積を増大させずにオフセット性のFPNをリアルタイムにキャンセルできるようにしたXYアドレス型の固体撮像装置を提供する。

【構成】 CMD画素1-11 ~ 1-44 を2次元的に配列し、各行のゲート端子は垂直選択線5-1 ~ 5-4に共通に接続し、各列のソース端子は2本の列ライン8-1a ~ 8-4bを交互に接続して配列する。各2本の列ラインは共通に駆動される一対の列選択用トランジスタ2-1a ~ 2-4bを介して2本のビデオライン4-1、4-2に接続し、2本のビデオライン4-1、4-2は、切り換えスイッチ群9-1 ~ 9-4を介して信号線11-1及び11-2に接続する。信号線11-1は電流電圧変換アンプ12-1と遅延回路13を介して差動アンプ14へ入力し、信号線11-2は電流電圧変換アンプ12-2を介して差動アンプ14へ入力し、両者の差信号を出力する。



【特許請求の範囲】

【請求項1】 非破壊読み出し可能な光電変換素子を画素として用い、該画素を2次元的に配列した画素アレイを備えたXYアドレス型の固体撮像装置において、前記画素アレイの各画素から蓄積時間の異なる複数のビデオ信号を出力させる手段と、前記蓄積時間の異なる複数のビデオ信号の差信号を出力させる手段とを備えていることを特徴とする固体撮像装置。

【請求項2】 前記蓄積時間の異なる複数のビデオ信号のうち、少なくとも1つの信号に、蓄積時間の差に相当する時間を遅延させる手段を備えていることを特徴とする請求項1記載の固体撮像装置。

【請求項3】 前記光電変換素子として、MOS型撮像素子又は増幅型撮像素子を用いたことを特徴とする請求項1又は2記載の固体撮像装置。

【請求項4】 前記画素アレイの1列当たりに複数の垂直信号線を設け、同時に複数の行を選択して読み出すように構成したことを特徴とする請求項1～3のいずれか1項に記載の固体撮像装置。

【請求項5】 複数のビデオ信号線を設け、同時に複数の蓄積時間の異なるビデオ信号を出力するように構成したことを特徴とする請求項4記載の固体撮像装置。

【請求項6】 前記複数のビデオ信号と出力端子との間の接続を、水平ブランキング期間において切り換えるスイッチを設けたことを特徴とする請求項5記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、固体撮像装置、特に固定パターンノイズ（以下FPNと略称する）を除去できるようにした増幅型撮像素子を用いたXYアドレス型の固体撮像装置に関する。

【0002】

【従来の技術】従来より、画像入力装置には、CCDイメージセンサー等の固体撮像装置が広く利用されている。CCDイメージセンサーにおいては、フォトダイオードで光電変換された電荷信号を、CCDシフトレジスタにより順次転送し、最終的にはチップ上に設けられた1つ又は複数の電荷検出アンプにより、低インピーダンスの映像信号として出力する構成が一般的に用いられている。CCDシフトレジスタの電荷伝送効率が99.99%以上ある現在のCCDイメージセンサーでは、フォトダイオードの開口率ばらつきや暗電流ばらつきを除くと、プロセス時に生じるCCD部のパターンニングばらつきに起因する映像信号のFPNは存在しないため、低FPNの画像を得ることができる。

【0003】しかしながら通常のCCDイメージセンサーでは、電荷検出アンプで読み出した信号電荷をリセットしてしまうので、一度読み出した信号は破壊されてしまう。したがって、光情報を蓄積している途中で映像を

モニターすることによって蓄積状態を確認したり、複数回の読み出しを行うといったことができない。またCCDイメージセンサーでは、その構成上、画素へのランダムアクセスや、画像情報の一部のみを取り出すといった、特殊な機能を付加することが困難である。更にCCDの問題としては、CCDイメージセンサーでは全てのCCDの転送ゲートをパルス駆動しなければならないので、多画素化したり高速動作をしようとする、ゲート容量部で消費される電力が大きくなるということがあ

10

る。
【0004】それらの問題を解決するイメージセンサーとして、XYアドレス型の増幅型イメージセンサーが提案されている。これには、例えばCMD（Charge Modulation Device、電荷変調素子）イメージセンサーやSIT（Static Induction Transistor、静電誘導トランジスタ）イメージセンサー、AMI（Amplified Mos Image sensor）と呼ばれるものがある。なおCMDイメージセンサーに用いられるCMD素子については、例えば特開昭60-206063号公報や、1986年に開催されたIEDM（International Electron Device Meeting）の予稿集の第353～356頁の“A New MOS Image Sensor Operating in a Non-destructive Readout Mode”と題する論文等に詳細に説明されている。これらのイメージセンサーは、いずれも光電変換機能と信号増幅機能を各画素毎に有するものであり、更には信号電荷はリセットされない限り保存されているので、信号電荷の非破壊読み出しが可能である。

20

30

40

50

【0005】次に、従来の増幅型撮像素子を用いたXYアドレス型イメージセンサーの一例として、CMDを画素として用いたイメージセンサーの構成について、図5を用いて説明する。各画素を構成するCMD101-11, 101-12, … 101-mnをマトリックス状に配列し、その各ドレインには共通にビデオ電圧 V_{DD} (> 0)を印加する。X方向に配列された各行のCMD群のゲート端子は、垂直選択線102-1, 102-2, … 102-mにそれぞれ接続し、Y方向に配列された各列のCMD群のソース端子は、列ライン103-1, 103-2, … 103-nにそれぞれ接続する。列ライン103-1, 103-2, … 103-nは、それぞれ列選択用トランジスタ104-1, 104-2, … 104-n、及び接地用トランジスタ105-1, 105-2, … 105-nを介して、ビデオ信号線106及びグラウンドに接地された線107に、それぞれ接続する。ビデオ信号線106は入力が仮想接地された電流-電圧変換型のプリアンプ108に接続され、プリアンプ108の出力端109には負極性の映像信号が時系列で読み出されるように構成されている。

【0006】また垂直選択線102-1, 102-2, … 102-mは垂直走査回路110に接続して、それぞれに信号 Φ_{G1} , Φ_{G2} , … Φ_{Gm} が印加される。また列選択用トランジスタ104-1, 104-2, … 104-n、及び接地用ト

ランジスター105-1, 105-2, ... 105-n の各ゲート端子は水平走査回路111に接続して、それぞれに信号 Φ_{S1} , Φ_{S2} , ... Φ_{Sn} 及びその反転信号が印加されるように構成されている。なお、各CMDは同一基板上に形成され、その基板には電圧 V_{SUB} (< 0) が印加されるようになっている。

【0007】図6は、図5に示した構成のCMD固体撮像装置の動作を説明するための信号波形図である。垂直選択線102-1, 102-2, ... 102-m に印加する信号 Φ_{G1} , Φ_{G2} , ... Φ_{Gm} は、読み出しゲート電圧 V_{RD} とリセット電圧 V_{RS} 、オーバーフロー電圧 V_{OF} 、蓄積電圧 V_{AC} よりなり、非選択行においては水平帰線期間 t_{BL} 中はオーバーフロー電圧 V_{OF} 、水平映像有効期間 t_H 中は蓄積電圧 V_{AC} となり、選択行においては水平映像有効期間 t_H 中は読み出しゲート電圧 V_{RD} 、それに引き続き水平帰線期間 t_{BL} 中はリセット電圧 V_{RS} となる。また、列選択用トランジスター104-1, 104-2, ... 104-n のゲート端子に印加する信号 Φ_{S1} , Φ_{S2} , ... Φ_{Sn} は列ライン103-1, 103-2, ... 103-n を選択するための信号で、その低レベルは列選択用トランジスター104-1, 104-2, ... 104-n をオフとする共に、接地用トランジスター105-1, 105-2, ... 105-n をオンとし、高レベルは列選択用トランジスターをオン、接地用トランジスターをオフとする電圧値になるように設定されている。

【0008】

【発明が解決しようとする課題】上記構成の増幅型固体撮像装置は、CCDイメージセンサーによっては得られない種々の動作を行わせることができるものであるが、各画素毎に信号の増幅機能があるために、プロセス時に生じるばらつきによる各画素の特性ばらつきが、FPNとして映像信号に混入し、画質を低下させるという問題がある。各画素の特性ばらつきによるFPNは、大きく分けて感度むらに対応する光量依存性の成分と、オフセットに対応する成分とに分けられる。これらのうち光量依存性のFPNは、一般的な映像信号としては1%以下であれば許容できるとされているが、オフセット性のFPNはイメージセンサーのダイナミックレンジを直接低下させる。したがって上記構成の増幅型固体撮像装置を用いた画像入力装置としては、何らかの方法によりオフセット性のFPNをキャンセルする方式がとられている。

【0009】オフセット性FPNのキャンセル方式としては、大きく分けて2つの方式がある。第1の方式は予め各画素の暗時の出力をフレームメモリに記憶させておき、撮像時に映像信号と暗時の出力との差分を取ることで、オフセット性のFPNをキャンセルするというもの（オフチップキャンセル方式）である。他の方式は水平映像有効期間 t_H 及び水平帰線期間 t_{BL} 内に、読み出し及び記憶、リセット、読み出しという動作を行わせ、2つの信号の差分を取ることでオフセット性のFP

Nをキャンセルするというもの（オンチップキャンセル方式）である。

【0010】前者の方式は、フレームメモリといった装置が必要になるために、画像入力装置の構成が複雑になると共に高価になるという問題がある。更にこの方式では、暗時の出力をリアルタイムに変更することができないので、長時間の撮像や、温度変化の激しい環境下で使用すると、素子の特性変化によってキャンセル精度が低下してしまうという問題がある。

10 【0011】また、後者の方式は通常イメージセンサーと同一の基板上に、FPNをキャンセルする回路を設けるので、チップ面積が増大すると共に集積化が困難になるという問題がある。

【0012】本発明は、従来の増幅型撮像素子を用いたXYアドレス型の固体撮像装置における上記問題点を解消するためになされたもので、フレームメモリを用いず、且つチップ面積を増大させずにオフセット性のFPNをリアルタイムにキャンセルできるようにした、増幅型撮像素子を用いたXYアドレス型の固体撮像装置を提供することを目的とする。

【0013】

【課題を解決するための手段及び作用】上記問題点を解決するため、本発明は、非破壊読み出し可能な光電変換素子を画素として用い、該画素を2次元的に配列した画素アレイを備えたXYアドレス型の固体撮像装置において、前記画素アレイの各画素から蓄積時間の異なる複数のビデオ信号を出力させる手段と、前記蓄積時間の異なる複数のビデオ信号の差信号を出力させる手段とを設けて構成する。

30 【0014】このように構成した固体撮像装置においては、FPNを記憶するためのフレームメモリを必要とせず、FPNキャンセルを行うことができると共に、リアルタイムのFPNキャンセルが可能となる。またFPNのキャンセル回路を、画素アレイを設けたチップ内に設ける必要がないので、集積化への支障がないと共に、チップ面積の増大を抑えることが可能となる。

【0015】

【実施例】次に実施例について説明する。図1は、本発明による固体撮像装置の第1の実施例の回路構成図である。説明を簡単にするために画素の配列を4×4とし、図5の従来例で示した接地用トランジスターは図示を省略している。図において、1-11 ~ 1-44 は、各画素を構成する、例えばCMDに代表される、非破壊読み出し可能なフォトリソトランジスター群で2次元的に配列され、各行のCMD画素のゲート端子は垂直選択線5-1 ~ 5-4に共通に接続される。すなわち、CMD画素群1-1 ~ 1-14 のゲート端子は垂直選択線5-1に、CMD画素群1-21 ~ 1-24 のゲート端子は垂直選択線5-2に、というように接続される。垂直選択線5-1 ~ 5-4にはそれぞれ垂直選択信号 $\Phi_{G1} \sim \Phi_{G4}$ が垂直走査回路7より印

加される。

【0016】画素の各列にはそれぞれ2本の列ライン8-1a, 8-1b, ~, 8-4a, 8-4bが設けられ、各列のCMD画素のソース端子は1列おきに交互に異なる列ラインに接続される。すなわちCMD画素1-11のソース端子は列ライン8-1aに、CMD画素1-21のソース端子は列ライン8-1bに、というように接続される。列ライン8-1a, 8-1b, ~, 8-4a, 8-4bは、それぞれ列選択用トランジスタ2-1a, 2-1b, ~, 2-4a, 2-4bを介して2本のビデオライン4-1, 4-2に交互に接続される。同じ列の2本の列ラインに接続された2個の列選択用トランジスタ2-1aと2-1b, 2-2aと2-2b, 2-3aと2-3b, 2-4aと2-4bの各ゲート端子は、それぞれ共通の列選択信号線3-1, 3-2, 3-3, 3-4に接続される。列選択信号線3-1, 3-2, 3-3, 3-4には、それぞれ列選択信号 $\Phi_{s1} \sim \Phi_{s4}$ が水平走査回路6より印加される。

【0017】2本のビデオライン4-1, 4-2は、切り換え信号線10により制御される切り換えスイッチ群9-1~9-4を介して信号線11-1及び11-2に接続される。信号線11-1と11-2より出力された2つのビデオ信号は、それぞれ電流電圧変換アンプ12-1, 12-2によって電圧に変換される。信号線11-1側の出力信号は遅延回路13によって1水平走査期間分遅延されたのちに差動アンプ14に入力され、一方、信号線11-2側の出力信号はそのまま差動アンプ14に入力され、該差動アンプ14より両者の差信号が出力される。

【0018】図2は、図1に示した構成の固体撮像装置の1フィールドの動作を説明するための信号波形図である。切り換え信号線10に印加される切り換え信号 Φ は、パルス20が印加されているとき切り換えスイッチ9-3と9-4がオンとなり、それ以外は切り換えスイッチ9-1と9-2がオンする。垂直選択線5-1~5-4に印加される垂直選択信号 $\Phi_{G1} \sim \Phi_{G4}$ は、読み出し信号22, リセット信号23, オーバーフロー信号21のパルスによって構成され、それらのパルスが印加されていないときは信号蓄積状態となる。列選択信号線3-1, 3-2, 3-3, 3-4に印加される列選択信号 $\Phi_{s1} \sim \Phi_{s4}$ は、列選択パルス24が印加されている時のみ選択スイッチ2-1a~2-4bがオンする。時間軸上の $t_1 \sim t_5$ は、それぞれの水平走査期間の始まりを示している。

【0019】次に、この図2を用いて動作を説明する。まず時刻 t_1 において、垂直選択信号 Φ_{G1} に読み出し信号22が出力され、垂直選択線5-1に接続されている第1行のCMD画素が選択される。また切り換え信号線10に出力されている切り換え信号 Φ は“H”レベルであるので、切り換えスイッチ9-3と9-4がオンしている。この状態で列選択信号 Φ_{s1} の列選択パルス24が列選択信号線3-1に出力されると、列選択用トランジスタ2-1a及び2-1bがオンする。したがって、CMD画素1-11

の信号は列選択用トランジスタ2-1a, ビデオライン4-1, スイッチ9-4を介して信号線11-1に出力される。但し、第2行目以下は選択されていないため、信号線11-2には何も出力されない。信号線11-1の信号は電流電圧変換アンプ12-1によって電圧に変換された後、遅延回路13によって1水平期間 Δt_H 、すなわち $t_2 - t_1$ の時間だけ遅延してから、差動アンプ14の+端子に入力される。

【0020】次いで、列選択パルス24が列選択信号線3-2に印加されると、同様にしてCMD画素1-12の信号が信号線11-1に出力される。以下同様に、CMD画素1-13, 1-14の順に信号が信号線11-1に出力され、電流電圧変換アンプ12-1で電圧に変換された後、遅延回路13に入力される。この水平走査が終了すると、垂直選択信号 Φ_{G1} にリセット信号23が出力され、垂直選択線5-1に接続されている第1行のCMD画素列、すなわちCMD画素1-11, 1-12, 1-13, 1-14の信号電荷がリセットされる。この時、その他の垂直選択線5-2, 5-3, 5-4にはオーバーフロー信号21が印加され、第1行以外のCMD画素では不要な過剰電荷のオーバーフローが行われる。

【0021】次に、時刻 t_2 より第2の水平走査が始まる。このとき垂直選択信号 Φ_{G1} と Φ_{G2} に読み出し信号22が出力され、垂直選択線5-1及び5-2に接続されている第1行と第2行のCMD画素が選択される。また切り換え信号 Φ は“L”レベルとなるので、切り換えスイッチ9-1と9-2がオンし、9-3と9-4がオフしている。この状態で列選択信号 Φ_{s1} の列選択パルス24が列選択信号線3-1に出力されると、列選択用トランジスタ2-1a及び2-1bがオンする。したがって、CMD画素1-11のリセットした後の信号は、列選択用トランジスタ2-1a, ビデオライン4-1, スイッチ9-2を介して信号線11-2に出力される。また、CMD画素1-21の信号は列選択用トランジスタ2-1b, ビデオライン4-2, スイッチ9-1を介して信号線11-1に出力される。以下同様にして、信号線11-1にはCMD画素1-21, 1-22, 1-23, 1-24のリセット直後の信号が、信号線11-2にはCMD画素1-11, 1-12, 1-13, 1-14の信号が順次出力される。信号線11-1への信号は第1の水平走査と同様に、電流電圧変換アンプ12-1によって電圧に変換された後、遅延回路13によって1水平期間 Δt_H 遅延してから、差動アンプ14の+端子に入力される。一方、信号線11-2に出力された信号は、電流電圧変換アンプ12-2によって電圧に変換された後、直接に差動アンプ14の-端子に入力される。

【0022】この時、差動アンプ14の+端子には遅延回路13によって遅延された、第1の水平走査におけるCMD画素1-11の信号が入力されている。したがって、差動アンプ14は第1の水平走査におけるCMD画素1-11の信号と、第2の水平走査におけるCMD画素1-11の

信号との差を出力する。以下同様に、差動アンプ14は順に、CMD画素1-12の第1の水平走査における信号と第2の水平走査における信号との差、CMD画素1-13の第1の水平走査における信号と第2の水平走査における信号との差、CMD画素1-14の第1の水平走査における信号と第2の水平走査における信号との差を出力する。

【0023】第3以降の水平走査においても、第2の水

$$V_{-} = \alpha \times (t_F - \Delta t_H + n \times \Delta t_S) + V_{o(m,n)} \quad \cdots \cdots (1)$$

【0025】ここで α は感度を表すパラメータ、 t_F は1フレーム時間、 Δt_H は1水平期間すなわち $t_2 - t_1$ 、 n は画素の列番号、 Δt_S は水平走査のバース幅すなわち列選択パルス24のバース幅、 $V_{o(m,n)}$ は電圧に変換された、アドレス (m, n) の画素の出力のオフセット成分であり、FPNのオフセット成分もこれに含まれる。また、 α に掛かる $(t_F - \Delta t_H + n \times \Delta t_S)$ は

$$V_{OUT} = V_{-} - V_{+} = \alpha \times (t_F - \Delta t_H) \quad \cdots \cdots (3)$$

したがって、差動アンプ14の出力にはFPNのオフセット成分を含む項、 $V_{o(m,n)}$ が除去されており、FPNのオフセット成分がない信号を得ることができる。

【0027】本実施例の他の利点としては、従来の方式では式(1)に示したように、蓄積時間に $n \times \Delta t_S$ という、画素の列番号に依存する項があり、列が異なると蓄積時間も異なるという欠点があったが、その問題も解決される。

【0028】なお本実施例では、画素としてCMDを念頭においたフォトトランジスタを用いたものについて示したが、本発明はCMDに限るものではなく、MOSイメージセンサーや、SITやAMI等、他の増幅型撮像素子を用いた固体撮像装置にも利用できることは明白である。

【0029】次に第2の実施例について説明する。図3は、第2の実施例を説明するための回路構成図であり、図4は1フレームの動作を説明するための信号波形図である。まず回路構成について説明する。CMDなどの非破壊読み出しが可能なフォトトランジスタ群31-11～31-44が2次的に配列され、各行のフォトトランジスタのゲート端子は垂直選択線32-1～32-4を介して共通に接続されている。垂直選択線32-1～32-4には、それぞれ垂直選択信号 $\Phi_{01} \sim \Phi_{04}$ が垂直走査回路33より印加される。また、フォトトランジスタ群31-11～31-44の各列のソース端子は、それぞれ共通の信号線34-1～34-4に接続し、垂直選択スイッチ35-1～35-4を介してビデオライン36に接続される。垂直選択スイッチ35-1～35-4の制御端子は、それぞれ水平選択線37-1～37-4を介して水平走査回路38に接続される。ビデオライン36に入力された電流信号は、電流電圧変換アンプ39によって電圧に変換された後、二手に分かれ、一方は遅延回路40を通り遅延されたのちに差動アンプ41の+端子に接続される。また他方は直接に差動アンプ41の-端子に接続される。差

平走査と同様に動作を行うことによって、全ての画素において、一度読み出した信号から、リセットした後に再び読み出した信号の差を得ることができる。

【0024】次に、このような動作によりFPNのオフセット成分をキャンセルできる理由について説明する。差動アンプ14の+端子に入力される信号の大きさ V_{+} は、画素の縦、横のアドレスを (m, n) とすると、次式(1)によって表される。

10 画素の蓄積時間を表している。一方、差動アンプ14の-端子に入力される信号の大きさ V_{-} は、式(1)と共通のパラメータを用いて、次式(2)で表される。

$$V_{-} = \alpha \times (n \times \Delta t_S) + V_{o(m,n)} \quad \cdots \cdots (2)$$

【0026】次に、差動アンプ14の出力 V_{OUT} はアンプのゲインを1とすると、次式(3)で表される。

$$V_{OUT} = V_{-} - V_{+} = \alpha \times (t_F - \Delta t_H) \quad \cdots \cdots (3)$$

動アンプ41は両者の電圧差を出力端子42に出力する。

20 【0030】次に図4を用いて本実施例の動作を説明する。図4において、50は垂直選択信号 $\Phi_{01} \sim \Phi_{04}$ の読み出し信号、51は同じくリセット信号、52は水平選択信号の選択パルスである。本実施例では1水平期間中に2回の水平走査が行われる。まず垂直選択線32-1に読み出し信号50が印加され、フォトトランジスタの第1行目が選択される。この状態で水平走査が行われると、ビデオライン36にはフォトトランジスタ31-11, 31-12, 31-13, 31-14の順に蓄積電荷量に対応した信号電流が出力される。信号電圧は電流電圧変換アンプ39によって電圧に変換されたのち二手に分かれ、一方は差動アンプ41の-端子に入力され、他方は遅延回路40により $\Delta t_{H/2}$ 時間遅延されたのち、差動アンプ41の+端子に入力される。その水平走査が終了すると、垂直選択線32-1にはリセット信号51が印加され、第1行目のフォトトランジスタ31-11, 31-12, 31-13, 31-14がリセットされる。

30 【0031】その後、再び垂直選択線32-1には読み出し信号50が印加され、次の水平走査が行われることによって、リセット後の第1行目のフォトトランジスタの信号が、フォトトランジスタ31-11, 31-12, 31-13, 31-14の順にビデオライン36に出力される。信号電流は電流電圧変換アンプ39によって電圧に変換されたのち二手に分かれ、一方が差動アンプ41の-端子に入力され、他方は遅延回路40に入力される。このとき、差動アンプ41の+端子には、 $\Delta t_{H/2}$ 時間遅延された前の水平走査における信号が入力されている。したがって差動アンプ41は、各画素の光情報を含む信号とリセット後の信号との差を出力する。以降、この動作が全行に対して繰り返される。

50 【0032】次に、この動作によりFPNのオフセット成分をキャンセルできる理由について、第1の実施例と

同様に説明する。差動アンプ41の+端子に入力される信号の大きさ V_+ は、画素の縦、横のアドレスを(m,

$$V_+ = \alpha \times (t_F - \Delta t_{H/2} + n \times \Delta t_S) + V_{O(m,n)} \quad \dots\dots (4)$$

【0033】第1の実施例のときと同様に、 α は感度を表すパラメータ、 t_F は1フレーム時間、 n は画素の列番号、 Δt_S は水平走査サンプリング周期すなわち列選択パルス52のパルス幅、 $V_{O(m,n)}$ は電圧に変換された、アドレス(m, n)の画素の出力のオフセット成分であり、FPNのオフセット成分もこれに含まれる。また、 α に掛かる($t_F - \Delta t_{H/2} + n \times \Delta t_S$)は画素の蓄

$$V_{OUT} = V_+ - V_- = \alpha \times (t_F - \Delta t_{H/2}) \quad \dots\dots (6)$$

したがって、差動アンプ41の出力にはFPNのオフセット成分を含む項、 $V_{O(m,n)}$ が除去されており、FPNのオフセット成分がない信号を得ることができる。

【0035】以上のように、本実施例によれば複数の信号線を設ける必要がなく、極めて単純な構成によりFPNのオフセット成分をキャンセルすることができる固体撮像装置が実現される。

【0036】

【発明の効果】以上実施例に基づいて説明したように、本発明によれば、フレームメモリを必要とせず、更にチップ内にキャンセルのための回路を設ける必要がなく、したがってチップ面積の増大のない、FPNキャンセル機能を有する固体撮像装置を容易に実現できる。

【図面の簡単な説明】

【図1】本発明に係る固体撮像装置の第1実施例を示す回路構成図である。

【図2】図1に示した第1実施例を説明するための信号波形図である。

【図3】第2実施例を示す回路構成図である。

【図4】第2実施例の動作を説明するための信号波形図

n)とすると、次式(4)によって表される。

積時間を表している。一方、差動アンプ41の-端子に入力される信号の大きさ V_- は、式(4)と共通のパラメータを用いて、次式(5)で表される。

$$V_- = \alpha \times (n \times \Delta t_S) + V_{O(m,n)} \quad \dots\dots (5)$$

【0034】次に、差動アンプ41の出力 V_{OUT} はアンプのゲインを1とすると、次式(6)で表される。

である。

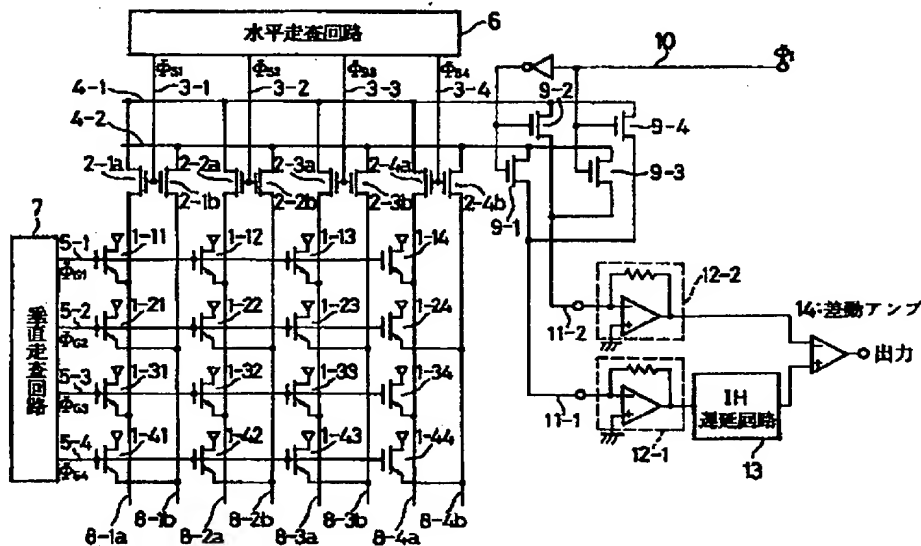
【図5】従来の固体撮像装置の構成例を示す回路構成図である。

【図6】図5に示した従来例の動作を説明するための信号波形図である。

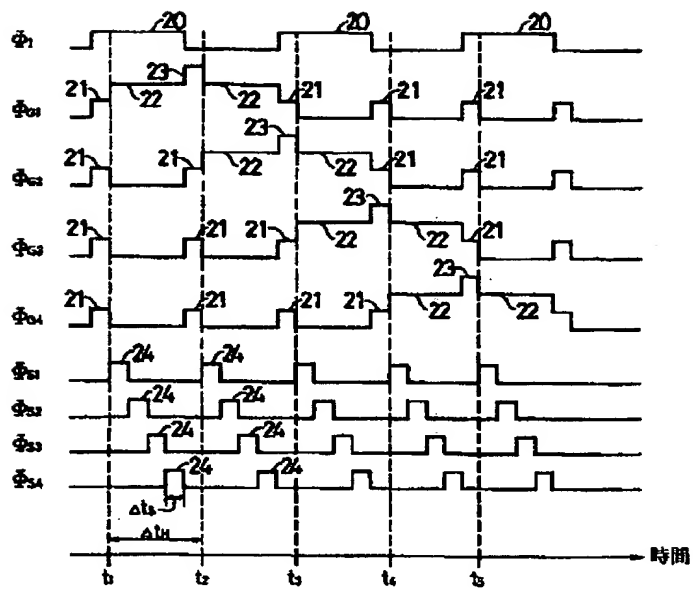
【符号の説明】

- 1-11 ~ 1-44 フォトトランジスタ (CMD画素)
- 2-1a ~ 2-4b 列選択用トランジスタ
- 3-1 ~ 3-4 列選択信号線
- 4-1, 4-2 ビデオライン
- 5-1 ~ 5-4 垂直選択線
- 6 水平走査回路
- 7 垂直走査回路
- 8-1a ~ 8-4b 列ライン
- 9-1 ~ 9-4 切り換えスイッチ
- 10 切り換え信号線
- 11-1, 11-2 信号線
- 12-1, 12-2 電流電圧変換アンプ
- 13 遅延回路
- 14 差動アンプ

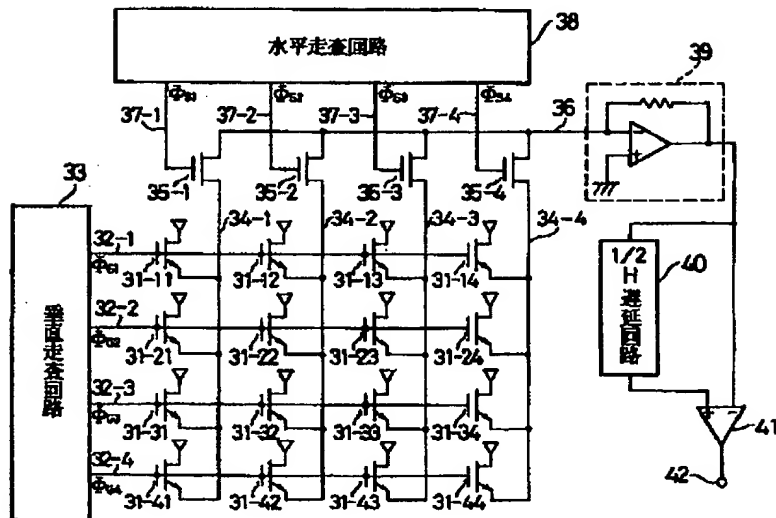
【図1】



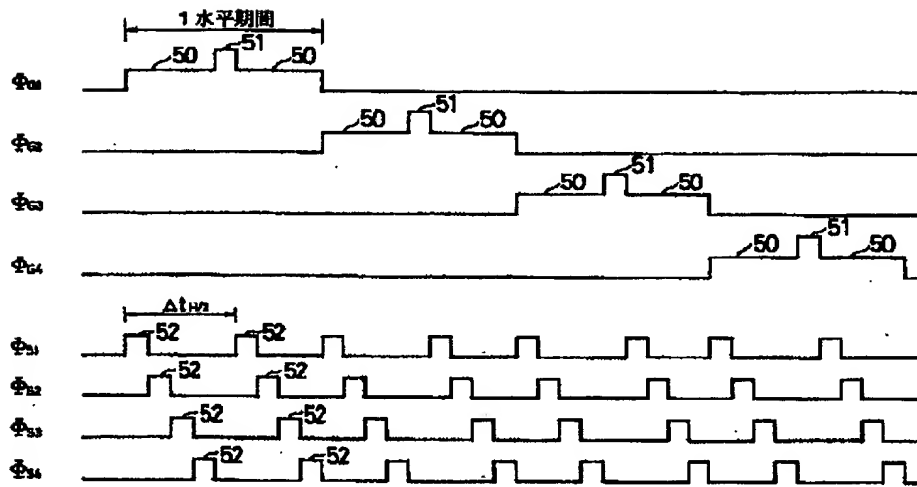
【図2】



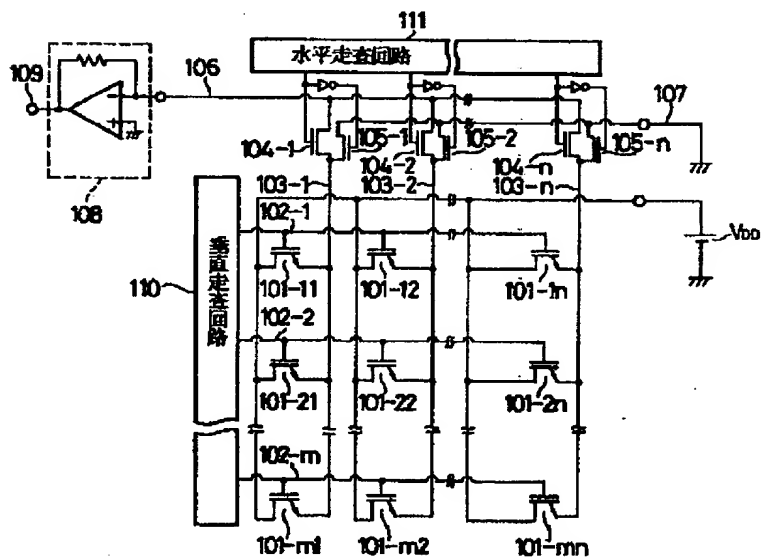
【図3】



【図4】



【図5】



【図6】

